

Progetto Cometa “Progettazione in Microelettronica”: relazione di sintesi

Le giovani generazioni sono già da qualche anno state definite la “generazione digitale”, vale dire individui nati in una società pervasa dalle tecnologie dell’informazione e delle comunicazioni, tecnologie che si concretizzano nel quotidiano in oggetti quali smart phones, personal computers, play stations, connessioni internet. Se da un lato, questa generazione digitale ha assorbito tali tecnologie in modo del tutto spontaneo e naturale dall’altro ha mancato di cogliere la consapevolezza che tutto ciò è reso possibile da miliardi di microscopici componenti elettronici, i cosiddetti circuiti integrati, assemblati su una singola piastrina di silicio, detta chip, tramite l’impiego di sofisticate tecniche di fabbricazione note come tecnologie microelettroniche. Il microprocessore che si trova all’interno di un personal computer oppure il ricetrasmittitore miniaturizzato che si trova all’interno di uno smart phone sono esempi di circuiti integrati che si utilizzano quotidianamente ma senza consapevolezza. Altri circuiti integrati permettono il corretto funzionamento di aerei, navi, satelliti, automobili.

Da un punto di vista formativo-professionale è importante che le nuove generazioni di studenti abbiano la consapevolezza che i circuiti integrati, per quanto microscopici e quotidianamente invisibili, sono in realtà prodotti dell’ingegneria e non fantascienza, che la loro progettazione è una professione ingegneristica, dove un ingegnere elettronico utilizza metodologie e strumenti di Computer Aided Design (CAD) del tutto analoghi a quelli impiegati per la progettazione da ingegneri in altri campi, dove l’oggetto della progettazione è però macroscopico, quale un motore oppure un edificio, e quindi sperimentabile nel quotidiano. Questa consapevolezza è importante anche un punto di vista socio-economico e non solo culturale-formativo, in quanto la disponibilità quotidiana degli oggetti delle tecnologie dell’informazione, oggi data per scontata, è in realtà soggetta alla disponibilità di circuiti integrati oramai fabbricati da pochi paesi al mondo che nei decenni passati sono stati capaci di proteggere e far crescere le loro capacità manifatturiere microelettroniche.

Muovendo dalle precedenti considerazioni, il Dipartimento di Ingegneria Enzo Ferrari (DIEF), dell’Università degli Studi di Modena e Reggio Emilia e l’Istituto Tecnico Industriale Statale (ITIS), Enrico Fermi di Modena hanno ritenuto interessante unire le proprie forze per proporre, tramite lo strumento formativo del Progetto Cometa, ad una ristretta e selezionata cerchia di cinque studenti delle classi quinte dell’ITIS Fermi un’esperienza didattica che li avvicinasse in modo diretto e concreto alla progettazione di un circuito integrato. Attori dell’iniziativa sono stati la Prof.ssa Anna Maria Prandini dell’ITIS Enrico Fermi ed il Prof. Mattia Borgarino del DIEF. In concreto, il progetto formativo, intitolato “Progettazione in Microelettronica”, ha avuto l’obiettivo della progettazione in una tecnologia CMOS 350nm di un orologio digitale nella forma di un circuito integrato.

Il percorso didattico è stato strutturato in una prima fase teorica seguita da una seconda fase pratica. Nella parte teorica, svoltasi nei mesi di novembre e dicembre 2016 presso l’ITIS Fermi, gli studenti hanno appreso i rudimenti delle tecnologie microelettroniche e del disegno del layout di un circuito integrato. Inoltre sono stati descritti a livello transistorare i principali blocchi circuitali necessari alla progettazione dell’orologio digitale, quali porte logiche, registri, astabili, trigger di Schmitt. La parte pratica, svoltasi da gennaio ad aprile 2017 presso il DIEF, ha visto gli studenti impegnati dapprima a progettare gli schematici del circuito integrato muovendo da una descrizione a livello sistema e successivamente a disegnare il layout del medesimo. Lo strumento CAD utilizzato dagli studenti è stato Cadence, riferimento mondiale nel mondo della progettazione integrata, disponibile presso il DIEF per usi educativi. Parte del circuito integrato è stato poi inviato alla fonderia per la fabbricazione su silicio avvalendosi del consorzio europeo Europractice, del quale il DIEF è membro. Lo schema a blocchi del circuito integrato inviato alla fonderia è riportato nella seguente Figura 1.

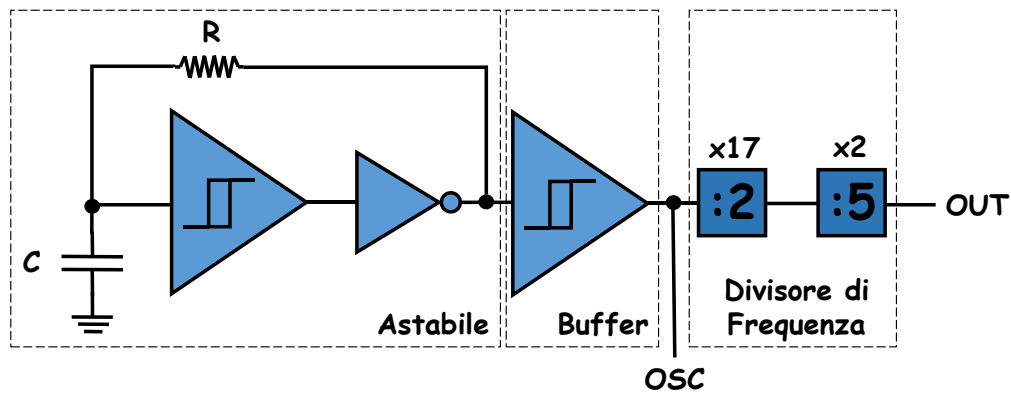


Figura 1: schema a blocchi del circuito inviato alla fonderia per la fabbricazione

Il cuore del circuito è un oscillatore a rilassamento realizzato con un trigger di Schmitt non invertente ed una rete di retroazione di tipo RC; per permettere l'oscillazione il trigger è stato reso invertente ponendo in cascata alla sua uscita una porta logica NOT. Questa soluzione è stata scelta, perché il trigger di Schmitt è una non-linearità caratterizzata da due soglie e ciò permette di ottenere un astabile senza dover ricorrere all'effetto boot-strap, che caratterizza invece gli astabili realizzati con linearità a singola soglia. In termini di circuito integrato l'effetto boot-strap può rappresentare un problema, in quanto esso può generare nel circuito tensioni negative che possono portare all'indesiderata accensione di giunzioni pn parassite con la conseguente iniezione di portatori minoritari nel substrato. A loro volta queste correnti possono dare luogo a substrate debiasing e latch-up, situazioni potenzialmente pericolose per l'integrità del circuito stesso. All'uscita dell'oscillatore a rilassamento è posto un trigger di Schmitt non-invertente avente il duplice scopo di buffer e di squadratore dei fronti di salita e di discesa del segnale. All'uscite di questo trigger è prelevato il segnale OSC generato dall'astabile. Senza il trigger di Schmitt di buffer l'invertitore all'interno dell'astabile non sarebbe in grado di pilotare il carico esterno della strumentazione senza compromettere l'integrità del segnale dato in ingresso al divisore di frequenza costituito, come mostrato dalla precedente Figura 1, da una catena di diciassette divisori di frequenza per due e due divisori di frequenza per cinque.

La seguente Figura 2 mostra la microfotografia del prototipo ricevuto di ritorno dalla fonderia. L'intera piastrina di silicio misura 2mm x 2mm.

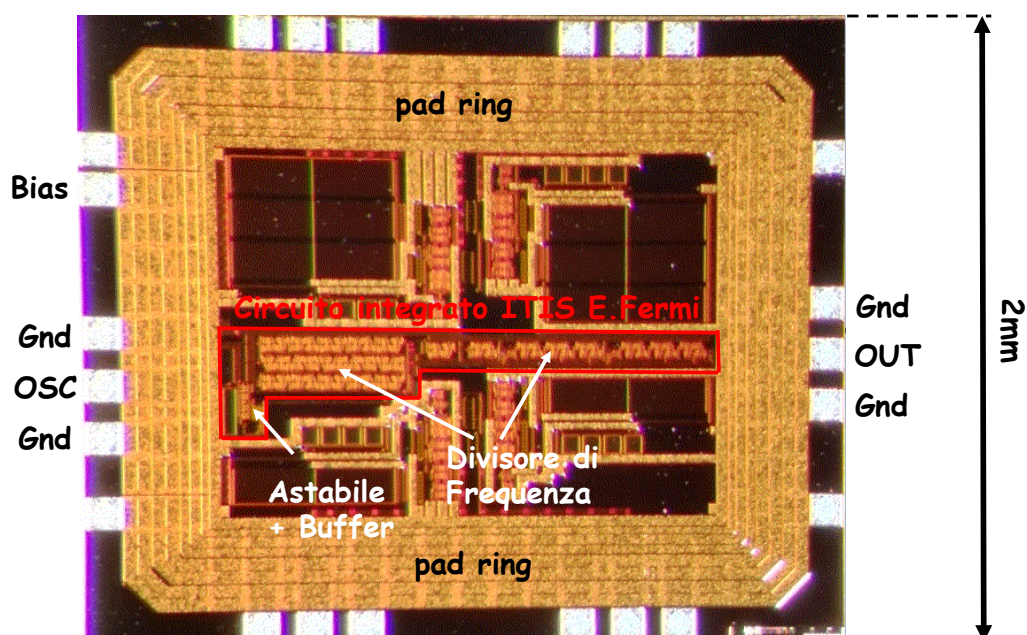


Figura 2: microfotografia del prototipo fabbricato

Il poligono in rosso evidenzia dove è collocato il circuito integrato di cui in Figura 1. Due frecce indicano la posizione dell'astabile, del buffer e della catena dei diciannove divisori di frequenza. Sopra e sotto ad esso si trovano due amplificatori di transimpedenza. Tutto attorno corre il pad ring sul quale sono evidenti dei quadrati bianchi che sono i plots per il contatto elettrico verso il mondo esterno. In particolari sono evidenziati i plots dai quali prelevare i segnali OSC ed OUT. In aggiunta si notano i plot per l'alimentazione (bias) e per la massa (Gnd). I plot di massa sono arrangiati attorno ai plot di segnale secondo una tipica disposizione GSG (Ground-Signal-Ground).

Il circuito integrato è stato caratterizzato presso il DIF utilizzando una probe station equipaggiata con microscopio, micromanipolatori e punte coplanari in configurazione GSG. La seguente Figure 3 mostra un dettaglio del set-up di misura. Si notano le micropunte coplanari per prelevare i segnali OSC ed OUT e l'ago per fornire l'alimentazione (Bias). Il chip da misurare è visibile al centro tra le estremità delle punte.

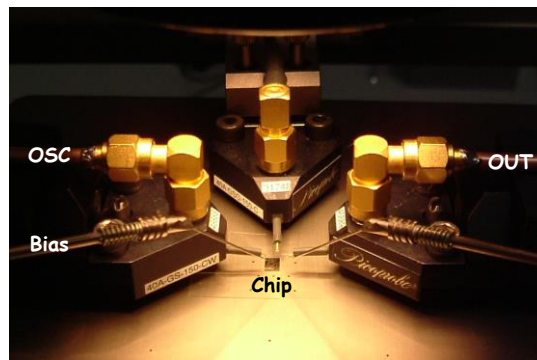
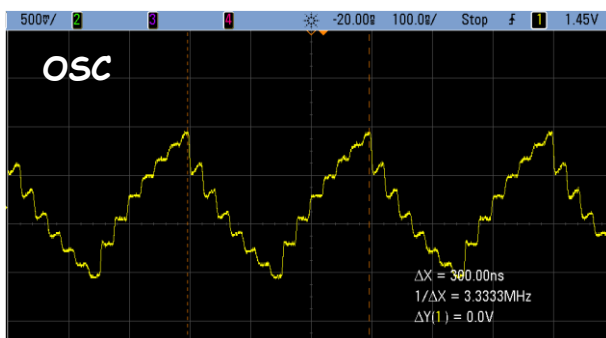
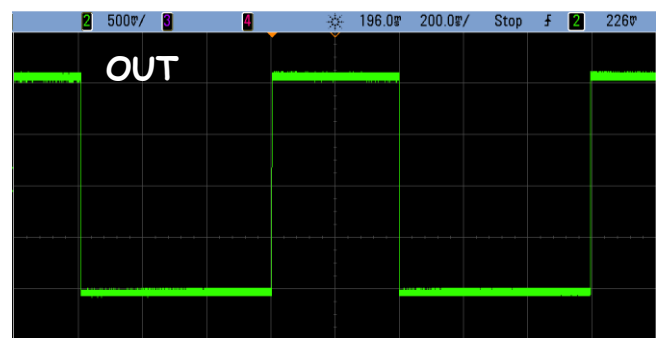


Figure 3: dettaglio del set-up di misura

I segnali OSC ed OUT sono stati osservati nel dominio del tempo tramite un oscilloscopio. La seguente Figura 3 riporta le forme d'onda osservate. La Figura 3a mostra il segnale osservato al plot OSC. L'informazione utile da cogliere dalla forma d'onda è la frequenza che è risultata essere di circa 3.333MHz. Retro simulazioni del chip indicano che l'andamento della forma d'onda non squadrato è da imputare principalmente alla banda passante del cavo mentre il ripple sovrapposto a problemi di matching di impedenza. La Figura 3b mostra il segnale osservato al plot OUT. Essendo un segnale a bassa frequenza l'andamento risulta squadrato e come si vede si tratta di un segnale con un periodo pari a 1s (5x200ms).



(a)



(b)

Figura 3: Forma d'onda generata dall'oscillatore (alla sinistra) e disponibile all'uscita della catena di divisione (a destra).

Le precedenti due forme d'onda dimostrano che il circuito integrato progettato funziona correttamente. Infatti la catena di divisione, costituita da diciassette divisori per due e due divisori per cinque, divide complessivamente per $2^{17} \cdot 5^2 = 3276800$. Essendo la frequenza misurata dell'astabile pari a 3.333MHz ci si aspetta una frequenza in uscita dal divisore di frequenza pari a $3.333\text{MHz}/3276800$, cioè 1,017s, valore in buon accordo con quanto osservato sperimentalmente.

prof. Mattia Borgarino

Studenti: Lelio Chelli, Andrea Gavioli, Francesco Carretti Vandelli, Enrico De Luca, Ishac Oursana.
Docente tutor: prof. Mattia Borgarino (Dipartimento Ingegneria "Enzo Ferrari").
Coordinatrice del progetto: prof.ssa Anna Maria Prandini.